



Title	SiCウェハ及びV溝型トレンチMOSFETの開発
Author(s)	福田, 憲司; 原田, 真; 堀, 勉 他
Citation	電気材料技術雑誌. 2024, 33(1), p. 53-62
Version Type	VoR
URL	<a href="https://doi.org/10.18910/99609">https://doi.org/10.18910/99609</a>
rights	
Note	

*The University of Osaka Institutional Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

## SiC ウエハ及びV溝型トレンチ MOSFET の開発

福田 憲司<sup>1</sup>、原田 真<sup>2</sup>、堀 勉<sup>2</sup>、伊東 洋典<sup>2</sup>、古米 正樹<sup>2</sup>

畠山 智亮<sup>1</sup>、増田 健良<sup>1</sup>、斎藤 雄<sup>1</sup>、内田 光亮<sup>1</sup>、日吉 透<sup>3</sup>

住友電気工業株式会社 半導体イノベーション事業本部 パワーデバイス開発部

<sup>1</sup>〒305-8569 茨城県つくば市小野川 16-1、<sup>2</sup>〒664-0016 兵庫県伊丹市昆陽北 1-1-1

<sup>3</sup>〒554-0024 大阪市此花区島屋 1-1-3

### Development of SiC wafer and V-groove trench MOSFET

Kenji FUKUDA<sup>1</sup>, Shin HARADA<sup>2</sup>, Tsutomu HORI<sup>2</sup>, Hironori ITOH<sup>2</sup>, Masaki FURUMAI<sup>2</sup>,  
Tomoaki HATAYAMA<sup>1</sup>, Takeyoshi MASUDA<sup>1</sup>, Yu SAITO<sup>1</sup>, Kosuke UCHIDA<sup>1</sup>, Toru HIYOSHI<sup>3</sup>

Sumitomo Electric Industries, Ltd., Semiconductor Innovation Business Unit, Power Device Development Division

<sup>1</sup>16-1 Onogawa, Tsukuba-shi, Ibaraki 305-8568, JAPAN, <sup>2</sup>1-1-1 Koya-kita, Itami-shi, Hyogo 664-0016, JAPAN

<sup>3</sup>1-1-3 Shimaya, Konohana-ku, Osaka-shi, Osaka 554-0024, JAPAN

The development of energy saving technologies is progressing around the world in order to suppress CO<sub>2</sub>, which causes global warming. One of these developments is reducing the on-resistance of power devices that construct the power electronics equipment. Recently, the performance of Si power devices has been approaching its theoretical limit. SiC is a promising candidate for the next generation power devices due to its excellent properties. We have been developing SiC wafers and devices. As a result, we succeeded in developing epitaxial SiC wafers with few defects, and achieving extremely low on-resistance in a V-groove trench MOSFET with an excellent MOS interface and super-junction structure.

キーワード：SiC、エピタキシャルウエハ、パワーデバイス、V溝型トレンチ MOSFET、超接合構造

#### 1. 緒言

近年、地球温暖化による異常気象が数多く報告され、その大きな要因とされる二酸化炭素排出量の削減への取り組みが世界的に行われている。そのためには、大量のエネルギーが消費される自動車、鉄道、産業機器等に用いられる電力変換器を構成するパワーデバイスのオン抵抗を低減することが増々重要になってきている。

パワーデバイスは、主に Si を用いて開発が進められており、電力変換器には、PN ダイオード

や絶縁型ゲートバイポーラトランジスタ (IGBT) が用いられ、新構造デバイスや微細化による低オン抵抗化の開発が進められてきたが、Si による低オン抵抗化は理論的限界に近づいてきており、この限界を突破して、大幅にオン抵抗を低減できる材料として炭化ケイ素 (SiC) を用いたパワーデバイスの開発が加速している。しかし、SiC は融点が 2000°C 以上と高く溶解する前に昇華することや非常に硬いこともあり、ウエハ製造が難しいことが知られている。住友電気工業株式会社では、

これまで、SiC ウエハからデバイスまで幅広く開発してきた。本論文では、最初に、SiC の特性とその優れた特性を活かした市場を紹介する。その後に、当社の SiC ウエハ、パワーデバイスの開発状況について報告する。

## 2. SiC の優位性<sup>1), 2)</sup>

表 1 に Si と SiC の物性値を示す。最も大きな違いは、SiC の禁制帯幅が Si よりも約 3 倍大きく、絶縁破壊電界が約 10 倍大きいことである。このことが、後述するように SiC において、Si よりもはるかに低いオン抵抗を可能にする。この他に、Si よりも約 3 倍も高い熱伝導率を有する。高熱伝導率であることは、高放熱性が要求される大容量パワーデバイスに適している。更に、SiC は、Si 同様にイオン注入により p, n 両伝導型の制御が可能であり、熱酸化によりゲート酸化膜が形成できるので、デバイス設計や製造が容易である。

表 1 Si と SiC の物性値

Table 1 Physical properties of Si and SiC.

	Si	4H-SiC
禁制帯幅 [eV]	1.12	3.26
絶縁破壊電界 [MV/cm]	0.3	2.8
電子移動度 [cm <sup>2</sup> /Vs]	1350	1000
飽和ドリフト速度 [10 <sup>7</sup> cm/s]	1.0	2.2
熱伝導率 [W/cmK]	1.5	4.9

図 1 に SiC と Si の PN 接合に逆電圧を印加した場合の空乏層幅の広がりと電界強度分布を示す。PN 接合の耐圧は、p 層のドーピング濃度が n 層よりも非常に高い場合、電界強度と空乏層幅からなる直角三角形の面積に近似できる。前述の通り、SiC の絶縁破壊電圧 ( $E_c$ ) は、Si の 10 倍なので、Si と同じ耐圧（直角三角形の面積が同じ）を得るために必要とされる空乏層幅（ドリフト層厚（図 2））は、Si の 1/10 でよいことになる。また、電界強度分布の傾きを示す青線（SiC）の傾きは、赤線（Si）の 100 倍になる。電界強度分布の傾きはドーピング濃度に比例するため、SiC は、ドリフト層のドーピング濃度を Si よりも 100 倍高くできる。その

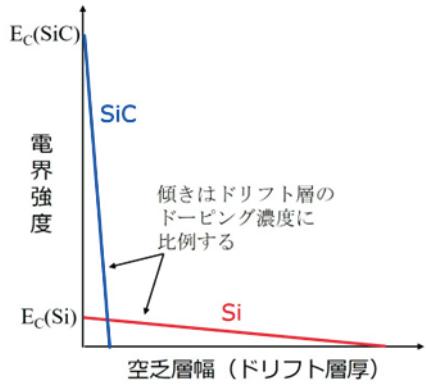


図 1 空乏層幅と電界強度分布

Fig. 1 Deplation layer width and electric field distribution.

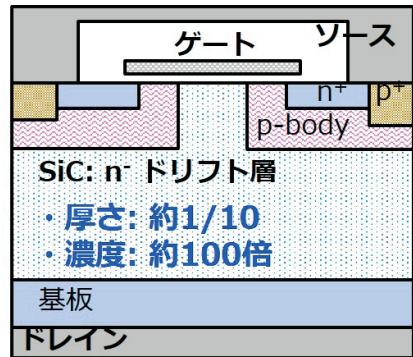


図 2 プレーナー型 MOSFET の模式断面図

Fig. 2 Schematic cross section of planar type MOSFET.

結果、同じ耐圧で比較すると SiC では、ドリフト層の抵抗は 2 枝から 3 枝程度小さくできる。実際のデバイスでは、ドリフト層以外の抵抗成分もあるのでここまで下がらないが、Si と比較すると大幅なオン抵抗の低減が可能となる。

## 3. SiC パワーデバイスを用いた電力変換器

図 3 にパワーデバイスの動作周波数と出力容量の関係を示す。SiC パワーデバイスは、現在、主流の Si パワーデバイスと比較して、同程度の周波数で大きな出力容量を得意とする。また、SiC 同様にパワーデバイスとして注目されている GaN は、出力容量は大きくないが、動作周波数が高い領域を得意とする。

SiC パワーデバイスは、2012 年に東京地下鉄銀座線 01 系車両のインバータにショットキー・バリア・ダイオード（SBD）が採用され<sup>3)</sup>、2015 年に、

小田急電鉄 1000 系のインバータに SBD だけでなく金属酸化膜半導体電界効果トランジスタ (MOSFET) も採用となり、損失を 40% 低減することが可能となった<sup>4)</sup>。その後、2020 年に新幹線 N700S にも搭載され、一編成あたりの駆動システムが SiC を使うことにより、約 10 トンの軽量化と小型化が可能となり、車両設計の自由度が向上するだけでなく、省エネルギー化も実現できることが報告された<sup>5)</sup>。

自動車においても SiC の採用が進んでいる。2015 年には、トヨタ自動車株式会社は、SiC を採用したパワーコントロールユニットを搭載したハイブリッド車「カムリ」の試作車を開発し、公道での実証実験を開始した<sup>6)</sup>。2016 年には本田技研工業株式会社が新型燃料電池車に SiC を採用した<sup>7)</sup>。最近では、電気自動車の充電器（オンボードチャージャー）、DC-DC コンバーター、インバータへの搭載が進んでいる。この他に、太陽光発電のパワーコンディショナーやエアコン等、産業機器や家庭用電化製品等広範な市場への普及が加速している。

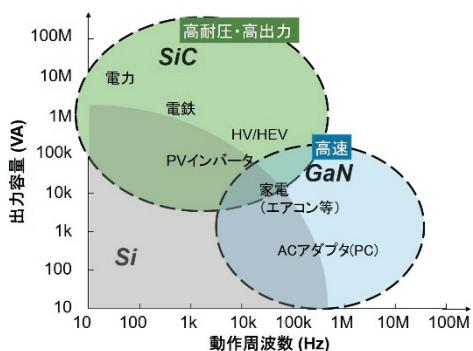


図3 パワーデバイスの動作周波数と出力容量の関係  
Fig. 3 Relationship between operating frequency and output capacity of power devices.

#### 4. SiC ウエハ開発

図4 に SiC ウエハの製造工程を示す。SiC は融点が非常に高く、常圧では液相が存在せず、2000°C 以上の高温で昇華してしまう。そのため、結晶成長には、Si のように溶融した原材料による引き上げ法を用いることができず、改良レーリー法と呼ばれる昇華法を用いる。昇華法に用いる炉の構造を図4-(a)に示すが、黒鉛製るつぼの底に SiC 原料を充填し、上部に SiC 種結晶を設置する。温度を

2000°C 以上にすると原料から昇華した SiC ガスが種結晶上で再結晶することにより結晶は下方向に成長する<sup>1), 2)</sup>。こうして成長した単結晶をウエハ状に切断した後に、SiC 表面を研磨して平滑にする（図4-(b)、図4-(c)）。次いで、このウエハ上にパワーデバイスのドリフト層をエピタキシャル成長させる（図4-(d)）。この際に SiC ウエハにオフ角度をつけると良質なエピタキシャル層が形成されることが京都大学から報告された<sup>8)</sup>。この手法は、ステップ制御エピタキシー技術と呼ばれる。この技術により、高品質なウエハを必要とする SiC パワーデバイスの製造が可能となった。

当社は、長年にわたり GaAs 等の化合物半導体の開発を行ってきたが、SiC についても早くから

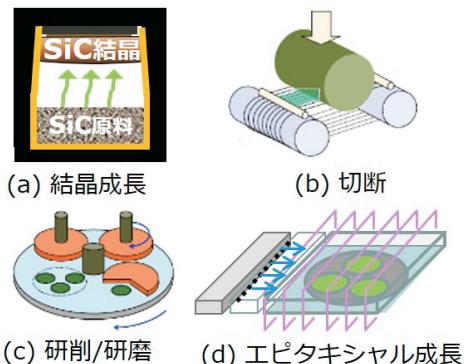


図4 SiC ウエハの製造工程  
Fig. 4 Manufacturing process of SiC wafer.

取り組み、これまで化合物半導体で培ってきた技術に加え、高精度シミュレーションなどを取り入れた当社独自技術を活用して、6 インチの高品質 SiC エピタキシャルウエハ「EpiEra®」を開発し、2017 年から量産している<sup>9)</sup>。また、2020 年には、当社独自の設計による成長炉の活用、硬脆性な SiC に適した加工技術を開発し、低転移密度かつ厚みバラツキや反りが低減された 6 インチ SiC ウエハ「CrystEra®」を製品化した<sup>10)</sup>。

エピタキシャル層の欠陥は、パワーデバイスの不良に大きく影響するキラー欠陥となるものが多く、ゼロにすることが求められる。当社は、上記したように独自技術によりエピタキシャル層の欠陥を大幅に低減することに成功した。図5 に当社のエピ厚 10μm、6 インチ SiC エピタキシャルウエハの欠陥分布図を示す。10mm□のブロックに区

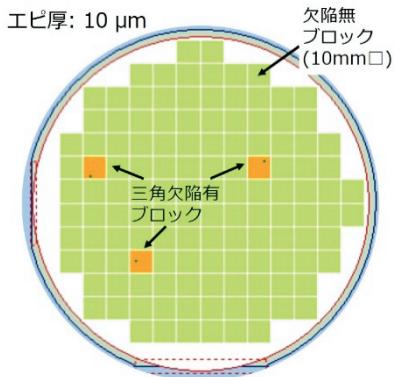


図 5 6 インチ SiC エピタキシャルウェハの欠陥分布図  
Fig. 5 Defect distribution mapping of 6 inch SiC epitaxial wafer.

切り、欠陥のあるブロックをオレンジ色で示してある。ダウンフォールはゼロで、SiC エピタキシャル層に発生する三角欠陥は、3 か所のブロックのみに存在している。ブロックの総数は 126 個なので、10mm□のブロックの 98%がパワーデバイスの不良の原因となるエピ欠陥が無く、非常に高品質であることがわかる<sup>11)</sup>。

SiC ウエハには基底面転位 (Basal Plane Dislocation (BPD))、貫通刃状転位 (Threading Edge Dislocation (TED))、貫通螺旋転位 (Threading Screw Dislocation (TSD)) と呼ばれる転位が存在する。このうち BPD は、PN ダイオードの動作時に電流が流れると BPD を起点として積層欠陥が成長して、抵抗が増大する。この現象は順方向劣化と呼ばれている。現在、インバータモジュールを Si の IGBT で製造する場合には、IGBT に並列に PN ダイオードを還流用に配置する必要がある。一方、SiC の場合には、IGBT でなく MOSFET が用いられるので、デバイス内部に寄生的に存在する PN ダイオードを使うことが可能である。しかし、BPD が存在すると、PN ダイオードの特性を劣化させるため、エピタキシャル層の BPD を無くすことが強く要求されている。当社は、エピタキシャル成長条件を最適化することにより 6 インチエピタキシャルウェハにおいて 5.2mm□のブロックの 99%において BPD が存在しない高品質ウエハの製造に成功した (図 6)<sup>12)</sup>。この他にエピタキシャル層のドーピング濃度及び厚さは、パワーデバイスの電気特性の歩留りに大きく影響する。ドーピング濃度が高く、厚さが薄くなると耐圧が低下する。

反対にドーピング濃度が低く、厚さが厚くなると耐圧は上がるが、オン抵抗も高くなり歩留りが低下する。そのため、エピタキシャル層のドーピング濃度と厚さは面内において高い均一性が要求される。当社は、シミュレーションを用いた独自技術によりエピタキシャル層の厚さとドーピング濃度の均一性を高精度に制御することに成功した。図 7 と図 8 にエピタキシャル層の厚さとドーピング濃度の面内の均一性を示す。(Max-Min) 法により定義されるエピタキシャル厚さとドーピング濃

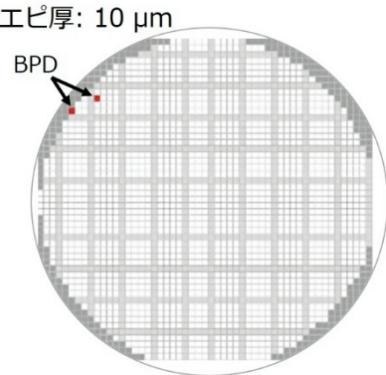


図 6 6 インチ SiC エピタキシャルウェハの BPD 分布図  
Fig. 6 BPD distribution mapping of 6 inch SiC epitaxial wafer.

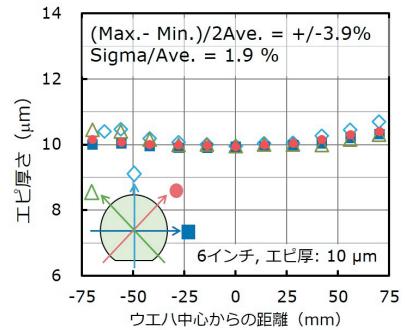


図 7 SiC エピタキシャル層の厚さの均一性  
Fig. 7 Thickness uniformity of SiC epitaxial layer.

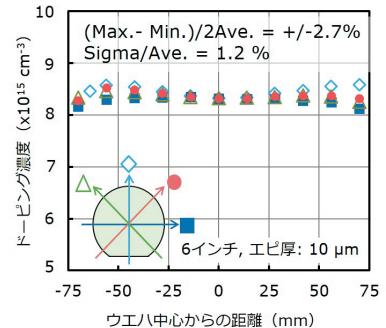


図 8 SiC エピタキシャル層のドーピング濃度  
Fig. 8 Doping density uniformity of SiC epitaxial layer.

度の均一性は、 $\pm 3.9\%$ 及び $\pm 2.7\%$ であり、高精度に制御されている。

## 5. V 溝型トレンチ MOSFET

### 5. 1. $(0\bar{3}3\bar{8})$ 面の高チャネル移動度

SiC は Si と同様に熱酸化により、高品質なゲート酸化膜 ( $\text{SiO}_2$  膜) を形成できる。しかし、 $\text{SiC}/\text{SiO}_2$  界面には、電子を捕獲するトラップ（界面準位）が  $\text{Si}/\text{SiO}_2$  界面よりも 1 枠以上多く存在する。そのため SiC 基板のバルク移動度は、 $1000\text{cm}^2/\text{Vs}$  あるにもかかわらず、SiC-MOSFET のチャネル移動度は、 $15\text{cm}^2/\text{Vs}$  程度であり、Si-MOSFET のチャネル移動度よりも 1 枠以上低い。これが、SiC-MOSFET のオン抵抗が下がらない原因となっていた。世界中の研究機関で、SiC-MOSFET のチャネル移動度を向上する研究が進められた。当社は、SiC の面方位に着目して開発を進め、 $(0\bar{3}3\bar{8})$ 面を用いることにより、チャネル移動度を大幅に向上することに成功した。図 9 に 4H-SiC と Si の結晶構造を示す。SiC-MOSFET の作製には、主に $(0001)$ 面が用いられるが、 $(0\bar{3}3\bar{8})$ 面は、 $(0001)$ 面の裏にあたる $(000\bar{1})$ 面から  $54.7^\circ$  傾いた面であり、Si の $(001)$ 面に相当する。Si $(001)$ 面は、Si の他の面方位と比較して最も界面準位密度が低いことから、4H-SiC の $(0\bar{3}3\bar{8})$ 面も界面準位密度が低いことが期待されると京都大学から報告された<sup>13)</sup>。このことが、当社が開発を着手する大きな要因となった。

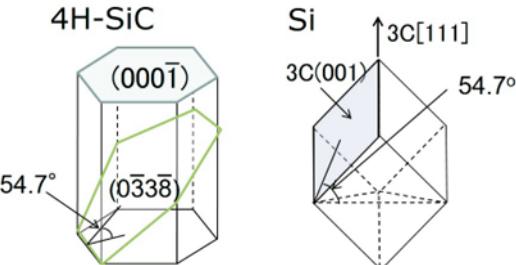


図 9 4H-SiC と Si の結晶構造

Fig. 9 Crystaral structure of 4H-SiC and Si.

図 10 に $(0001)$ 面と $(0\bar{3}3\bar{8})$ 面の MOS 界面の電子密度のゲート電圧依存性を示す<sup>14), 15)</sup>。MOS 界面の電子には、界面準位に捕獲され、電流に寄与しないものと自由に動き電流に寄与するものが存在する。図 10 では、電流に寄与しない電子の密度を

$D_{\text{trap}}$ 、自由に動いて電流に寄与する電子の密度を  $D_{\text{free}}$  と呼んでいる。どちらの面でも、合計の電子密度 ( $D_{\text{total}}$ ) は、同程度であるが、 $(0001)$  面では、 $D_{\text{free}}$  は、全電子密度の 30% 程度に過ぎない。一方、 $(0\bar{3}3\bar{8})$  面は、 $D_{\text{trap}}$  は非常に低く  $D_{\text{free}}$  は、全電子密度の 90% 程度なのでチャネル移動度が高くなることが期待される。図 11 に $(0001)$ 面と $(0\bar{3}3\bar{8})$ 面の MOSFET のチャネル移動度とチャネルドーピング濃度依存性を示す。チャネルドーピング濃度が増大するにつれて、チャネル移動度は低下するが、全領域において、 $(0\bar{3}3\bar{8})$ 面のチャネル移動度は、予想

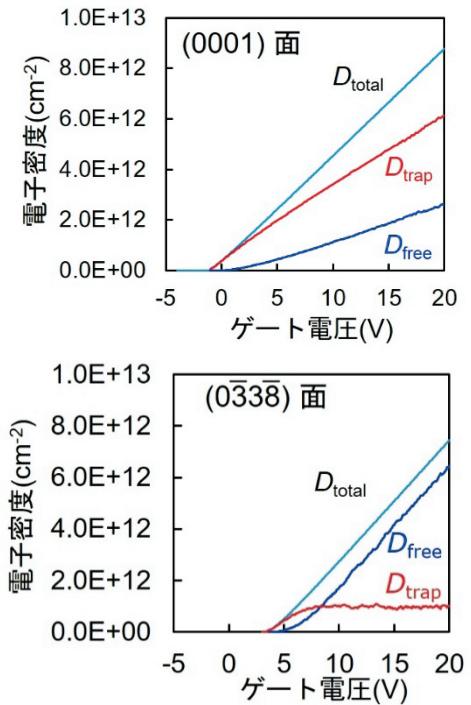


図 10 SiC-MOSFET の電子密度のゲート電圧依存性

Fig. 10 Gate voltage dependence of electron density for SiC-MOSFET.

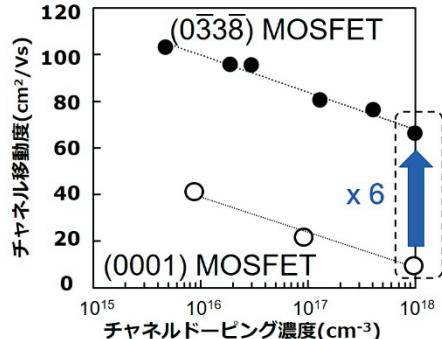


図 11 SiC-MOSFET のチャネル移動度

Fig. 11 Channel mobility of SiC-MOSFET.

されたように(0001)面よりも高い。特にチャネルドーピング濃度が、 $10^{18}\text{cm}^{-3}$ のような高濃度でも  $60\text{cm}^2/\text{Vs}$  以上である。この値は、(0001)面の約6倍となり、パワーMOSFETの低抵抗化に非常に有利である<sup>16</sup>。

## 5. 2. V溝型トレンチMOSFET構造<sup>17)</sup>

図12にV溝型トレンチMOSFETの構造を示す。当社は、高チャネル移動度の(0338)面をゲートに用いるためにトレンチ構造を採用している。形状がV字になるので、V溝型トレンチMOSFETと呼んでいる。また、ゲートより下方に埋め込みP型領域を設けて、高電界からトレンチゲートを保護しているのも特徴である。

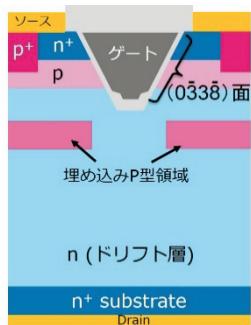


図12 V溝型トレンチMOSFETの模式断面図

Fig. 12 Schmatic cross section of V-groove trench MOSFET.

図13-(a)に示すが、ゲートに(1120)面や(1100)面を用いる通常のトレンチ構造は、RIEエッティングで形成されるが、(1120)面や(1100)面にはエッティングダメージ、トレンチ底にはサブトレンチが発生する。そのため、ゲート酸化膜にダメージを与

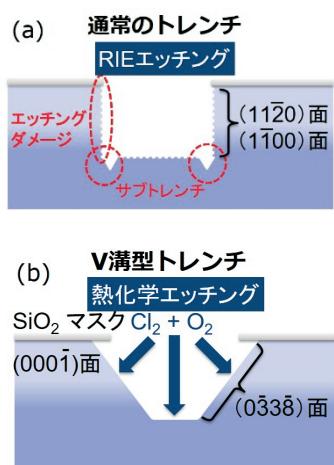


図13 トレンチ構造の形成技術

Fig. 13 Trench structure formation technology.

えて信頼性を低下させる要因となる。一方、V溝型トレンチは、 $\text{SiO}_2$ をマスクにして塩素と酸素による熱化学エッティングで形成するので<sup>18)</sup>、エッティング面は平滑であり、サブトレンチも形成されず、トレンチ面に高い信頼性を有するゲート酸化膜を形成できる（図13-(b)）。

## 5. 3. V溝型トレンチMOSFETの電気特性<sup>17),19)</sup>

図14に試作されたV溝型トレンチMOSFETの室温（25°C）でのドレイン電流-電圧（ $I_D$ - $V_{DS}$ ）特性を示す。ゲート電圧( $V_{GS}$ )15V、ドレイン電流が100Aにおいて、ドレイン・ソース間オン抵抗 $R_{DS(on)}$ は12mΩである。図15には、閾値電圧の温度変化を示すが、室温では、4Vで、温度の上昇と共に小さくなるが、175°Cでも約3Vと十分に高く、ノーマリーオフ型を維持しておりノイズ耐性も高い。

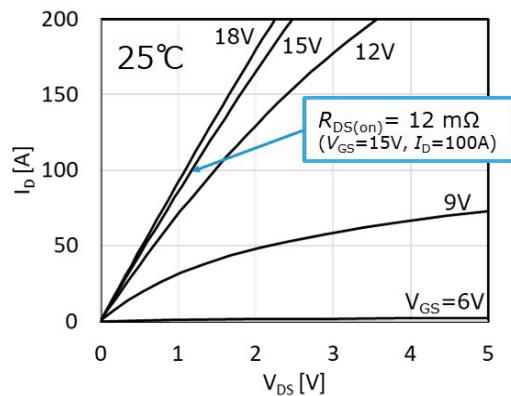


図14 V溝型トレンチMOSFETの電流-電圧特性

Fig. 14  $I_D$ - $V_{DS}$  characteristics of V-groove trench MOSFET.

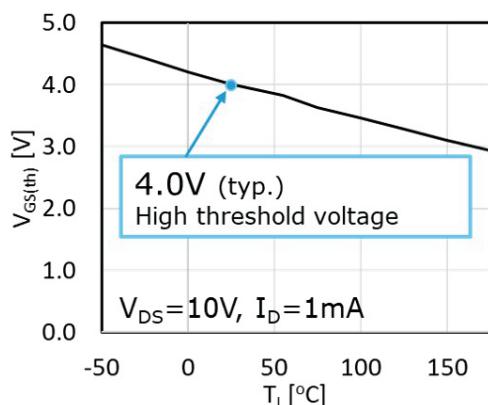


図15 V溝型トレンチMOSFETの閾値電圧の温度変化

Fig. 15 Temperature dependence of thresshold voltage of

V-groove trench MOSFET.

5. 4. 長期信頼性<sup>17), 19)</sup>

パワーデバイスを実用化するには、初期特性が優れているだけでなく、長期信頼性も重要である。SiC-MOSFET では、界面準位が多いために、動作中に電子が捕獲されて、負電荷が蓄積されることにより、閾値電圧が増加して動作しなくなることが報告されている。これに対して、(0338)面は界面準位が非常に低いので、電子が捕獲され難く、閾値電圧の変動がほとんどなく安定して動作する。図 16 に高温ゲートバイアス印加試験結果を示す。175°Cでゲートに20Vの正電圧を印加して、閾値電圧の変動を調べたが、変動量 ( $\Delta V_{GS(th)}$ ) は、1000 時間まで、 $\pm 0.1$ V に収まっており、ほぼ一定である。また、ゲートに20Vの負電圧を印加した場合の閾値電圧の変動も $\pm 0.1$ V に収まっていた。このように、界面準位密度が低いことから想定された通り、V 溝型トレンチ MOSFET の閾値電圧は安定していることが確認できた。この他、高温ドレインバイアス印加試験、高温高湿試験、高温サイクル試験等の信頼性試験でも、特性変動が無いことを確認できている。

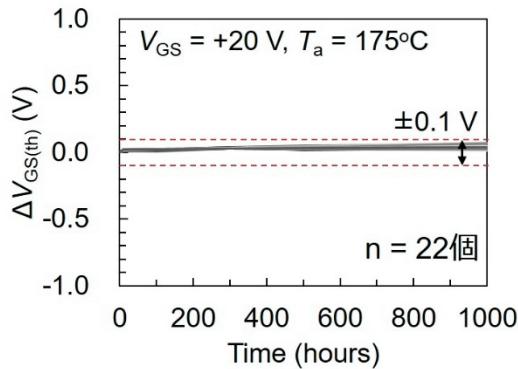


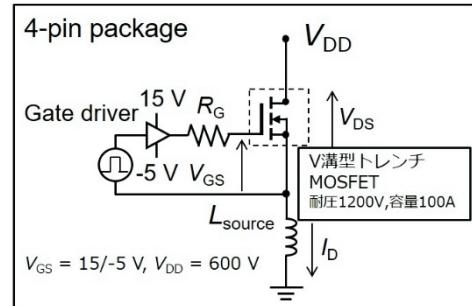
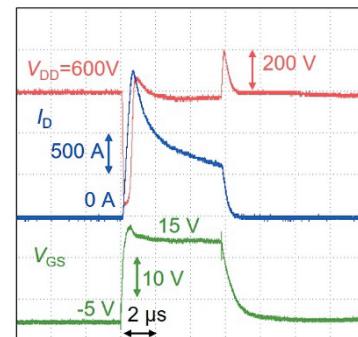
図 16 高温ゲート印加試験 (175°C)

Fig. 16 High temperature gate bias test (175°C).

5. 5. 短絡耐量<sup>19)</sup>

SiC の大きな市場として期待される電気自動車の3相インバータを SiC-MOSFET を用いて構築する場合には、2つの SiC-MOSFET を直列に接続したハーフブリッジ回路を更に3つ並列に接続する。インバータは、2つの SiC-MOSFET を交互にオン/オフさせて動作させるが、各々のタイミングがずれた場合に SiC-MOSFET が短絡して過電流が流れて温度が急上昇して破壊に至る。これを避け

るために、インバータには、一般的に短絡した場合に過電流を検知して電流を遮断する保護機能が設けられている。そのため、SiC-MOSFET には、短絡しても保護回路が動作して電流遮断に至るまで一定時間は破壊しないことが要求され、その特性を短絡耐量と呼ぶ。図 17 に短絡耐量試験の回路図を示す。図 18 に V 溝型トレンチ MOSFET に  $V_{DD}=600V$ 、 $V_{GS}=-5V$  を印加し  $I_D=0A$  の状態からゲートに 15V を  $6\mu s$  印加してオフした時の測定波形を示す。ゲートに入力するパルス時間を徐々に増加させていく、V 溝型トレンチ MOSFET が破壊する直前のパルス時間を短絡耐量としている。V 溝型トレンチ MOSFET はパルス時間  $6\mu s$  において破壊しておらず、過電流を遮断するのに十分に長い時間（短絡耐量）を有している。

図 17 短絡耐量試験の回路図  
Fig. 17 Circuit diagram of short circuit withstand time test.図 18 短絡耐量試験時の V 溝型トレンチ MOSFET の波形  
Fig. 18 V-groove trench MOSFET waveform in short circuit withstand time test.5. 6. 超接合 (Super-Junction) を有する V 溝型トレンチ MOSFET<sup>20)</sup>

上述したように、当社は、低オン抵抗と優れた長期信頼性を有する V 溝型トレンチ MOSFET を

開発したが、更にオン抵抗の低減を図るために、ドリフト層に超接合構造を有するV溝型トレンチMOSFETを開発した。従来のパワーデバイスのドリフト層では、図19の左図に示すように、空乏層は、縦方向に伸び電界強度分布はドリフト層の深さ方向へ一様に低下するため、耐圧は、直角三角形の面積に等しく、 $V_B = (E_{max} \cdot L)/2$ である。一方、超接合型のドリフト層では、P/N柱が交互に並んでいる。そのために、電圧印加時は、空乏層が横方向に伸びて、縦方向に電界強度分布が一様になるので、耐圧は、長方形の面積に等しく、 $V_B = E_{max} \cdot (L/2)$ となるので、ドリフト層の厚さを約半分にできる。また、n型層の濃度を高くすることもできるので、ドリフト層の抵抗を大幅に下げる事が可能になる。ドリフト層を超接合構造にしたV溝型トレンチMOSFETの模式断面を図20に示す。P/N柱は、n型のエピタキシャル層を形成した上からp型のドーピングであるAlイオンを注入をすることを複数回繰り返すことにより形成した。その上にV溝型のゲートトレンチ、終端の耐圧構造を形成した。図21に試作された1200V級のV溝型トレンチMOSFETのドレイン電流-電圧特性を示す。低チャネル抵抗のV溝ゲートと超接合構造のドリフト層を用いることにより、耐圧1170Vで単位面積当たりのオン抵抗 $R_{onA} = 0.63 \text{ m}\Omega\text{cm}^2$ という非常に低い値を達成した。

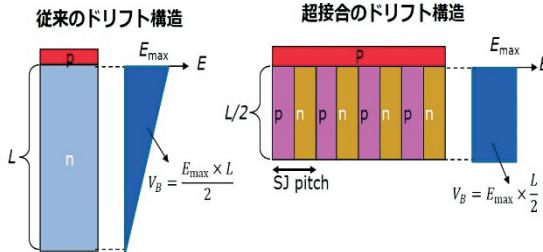


図19 ドリフト層における電界強度分布  
Fig. 19 Electric field distribution of drift layer.

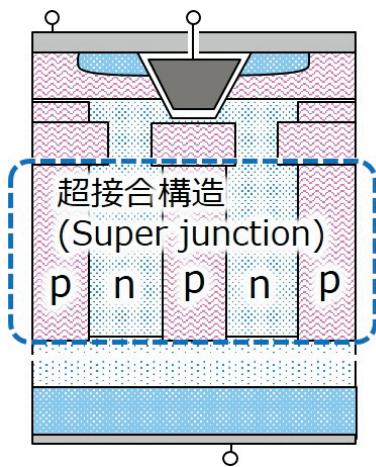


図20 超接合構造を有するV溝型トレンチMOSFETの模式断面図  
Fig. 20 Schematic cross section of V-groove trench MOSFET with superjunction structure.

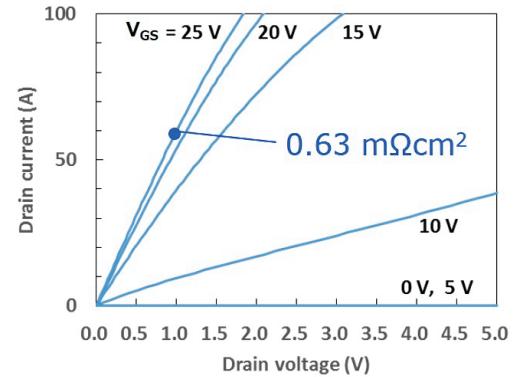


図21 超接合型VMOSFETのドレイン電流-電圧特性  
Fig. 21 Drain current-voltage characteristics of V-groove trench MOSFET with superjunction structure.

り返すことにより形成した。その上にV溝型のゲートトレンチ、終端の耐圧構造を形成した。図21に試作された1200V級のV溝型トレンチMOSFETのドレイン電流-電圧特性を示す。低チャネル抵抗のV溝ゲートと超接合構造のドリフト層を用いることにより、耐圧1170Vで単位面積当たりのオン抵抗 $R_{onA}=0.63\text{m}\Omega\text{cm}^2$ という非常に低い値を達成した。

## 6. 結言

地球温暖化を抑制するために大量のエネルギーを消費する自動車、産業機器等の電力変換器の省エネ化は必須である。その切り札としてSiC材料及びデバイスは長きにわたり期待されてきたが、多くの解決すべき課題を抱えたため実用化には想像以上の時間を要した。しかし、世界中の多くの研究者の努力により、ウエハ・デバイスの両品質が電気自動車に採用されるようなレベルまで向上し、SiC市場が急速に立ち上がるとしている。当社は、上述したように、SiCウエハからデバイスまで垂直統合的に開発を進めてきた。その結果、ウエハは、BPD、結晶欠陥が非常に少なく、ドーピング濃度、エピタキシャル膜厚の均一性に優れたSiCエピタキシャルウエハを開発した。デバイスは、良好なMOS界面特性を有する(0338)面を用いたV溝型トレンチMOSFETを実用化した。更に、超接合構造を用いることにより、世界最高水準の低オン抵抗を達成することができた。当社が開発した、このようなSiCウエハやデバイスが、脱炭素社会の実現に貢献できれば幸いである。

## 謝辞

本研究のうち、超接合構造を有する V 溝型トレンチ MOSFET 開発については、つくばパワーエレクトロニクスコンステレーションズ (TPEC) の共同研究プロジェクトとして実施された。

## 参考文献

- 1) 松波弘之編著:「半導体 SiC 技術と応用」、日刊工業新聞社 (2003).
- 2) 荒井和雄、吉田貞史共編:「SiC 素子の基礎と応用」、オーム社 (2003).
- 3) <http://www.mitsubishi-electric.co.jp/news/2012/0927-b.html>.
- 4) <http://www.mitsubishi-electric.co.jp/news/2015/0622-a.html>.
- 5) <https://tabiris.com/archives/n700s/>.
- 6) <https://monoist.atmarkit.co.jp/mn/articles/1501/0/news033.html>.
- 7) <https://eetimes.jp/ee/articles/1603/11/news117.html>.
- 8) N. Kuroda, K. Shibahara, W.S. Yoo, S. Nishino and H. Matsunami: Ext Abst.19<sup>th</sup>. Conf. Solid State Devices and Materials, (Tokyo, 1987) 227.
- 9) <https://sei.co.jp/company/press/2017/09/prs095.html>.
- 10) <https://sei.co.jp/company/press/2020/05/prs044.html>.
- 11) K. Wada, T. Terao, H. Itoh, T. Hori, H. Doi, M. Furumai, and T. Tanabe: “99.9% BPD Free 4H-SiC Epitaxial Layer with Precisely Controlled Doping upon 3x150mm Hot-Wall CVD”, Mat. Sci. Forum., 924 (2018) 72-75.
- 12) H. Itoh, T. Enokizono, T. Miyase, T. Hori, K. Wada, H. Doi, and M. Furumai: “Highly Reliable 4H-SiC Epitaxial Wafer with BPD Free Recombination-Enhancing Buffer Layer for High Current Applications”, Mat. Sci. Forum., 1004 (2013) 71-77.
- 13) T. Kimoto, T. Hirao, S. Nakazawa H. Shiomi, and H. Matsunami: “Homoepitaxial growth of 4H-SiC(0338)and nitrogen doping by chemical vapor deposition”, J.Cryst. Growth, 249 (2003) 208-215.
- 14) T. Hatakeyama, Y. Kiuchi, M. Sometani, S. Harada, D. Okamoto, H. Yano, Y. Yonezawa, and H. Okumura: “Characterization of traps at nitrided SiO<sub>2</sub>/SiC interfaces near the conduction band edge by using Hall effect measurements”, Appl. Phys. Express, 10 (2017) 046601.
- 15) T. Masuda, T. Hatakeyama, S. Harada, and H. Yano: “Demonstration and analysis of channel mobility, trapped electron density and Hall effect at SiO<sub>2</sub>/SiC (0338) interfaces”, Jpn. J. Appl. Phys., 58 (2019) SBBD04.
- 16) T. Hiyoshi, T. Masuda, K. Wada, S. Harada, and Y. Namikawa: “Improvement of interface state and Channel mobility using 4H-SiC(0338) face”, Mat. Sci. Forum., 740 (2013) 506-509.
- 17) 斎藤雄、和田圭司、日吉透、増田健良、築野孝、御神村泰樹:「低損失 V 溝型 SiC トレンチ MOSFET」、SEI テクニカルレビュー, 186 (2015) 69-74.
- 18) H. Koketsu, T. Hatayama, H. Yano, and T. Fuyuki: “Shape Control of Trenched 4H-SiC C-Face by Thermal Chlorine Etching”, Jpn. J. Appl. Phys., 51 (2012) 051201.
- 19) K. Uchida, T. Hiyoshi, Y. Saito, H. Egusa, T. Kaneda, H. Oomori, and T. Tsuno: “1200V/200A V-groove Trench MOSFET Optimized for Low Power Loss and High Reliability”, Mat. Sci. Forum., 1004 (2020) 776-782.
- 20) T. Masuda, Y. Saito, T. Kumazawa, T. Hatayama, and S. Harada: “0.63m Ω cm<sup>2</sup>/1170V 4H-SiC Super Junction V-Groove Trench MOSFET”, IEDM Tech. Dig. (2018) 8.1.1-8.1.4.

(2024 年 4 月 22 日 受理)

著者略歴



福田 憲司

1989年3月北海道大学大学院理学研究科物理学専攻博士課程単位取得退学、6月理学博士。2001年4月から産業技術総合研究所にてSiCデバイスの研究に従事。2018年住友電気工業（株）入社、

V溝型トレンチMOSFETの開発に従事。第337回電気材料技術懇談会 優秀論文賞受賞。応用物理学会会員。



原田 真

1997年3月大阪大学大学院工学研究科応用物理学専攻修士課程修了。1997年4月住友電気工業（株）入社。SiCの結晶成長及びエピ成長開発に従事。電気学会員。



堀 勉

2002年京都大学理学研究科化学専攻修士課程修了。2010年4月住友電気工業（株）入社。SiCの結晶成長及びエピ成長開発に従事。



伊東 洋典

2009年3月東北大学大学院理学研究科地学専攻博士課程修了。2013年8月住友電気工業（株）入社。SiCのエピ成長開発に従事。応用物理学会会員。



古米 正樹

1996年3月京都大学大学院工学研究科材料工学専攻修士課程修了。1996年4月住友電気工業（株）入社。SiCのエピ成長及びデバイス開発に従事。



畠山 智亮

1997年、博士（工学）。SiC結晶・エピタキシャル成長、材料分析・加工、デバイス作製・評価に従事。2014年 住友電気工業（株）入社。応用物理学会会員。



IEEE International Electron Devices



員、IEEE会員。



齊藤 雄

2006年3月東京工業大学大学院理工学研究科物性物理学専攻修士課程修了。2006年4月住友電気工業（株）入社。SiC VMOSFETの開発に従事。応用物理学会会員。



内田 光亮

2011年3月名古屋大学大学院工学研究科化学・生物工学専攻修士課程修了。2011年4月住友電気工業（株）入社。SiC V溝型トレンチMOSFETの開発に従事。応用物理学会会員。



日吉 透

2009年3月京都大学大学院工学研究科電子工学専攻修士課程修了。2009年4月住友電気工業（株）入社。SiCパワーデバイスの設計と信頼性評価に従事。応用物理学学会員。